



(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330141

(43) 公開日 平成9年(1997)12月22日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 1/00	3 7 0		G 0 6 F 1/00	3 7 0 G
				3 7 0 D
11/00	3 3 0		11/00	3 3 0 A
15/00	3 2 0		15/00	3 2 0 C
15/16	4 7 0		15/16	4 7 0 R

審査請求 未請求 請求項の数 1 O L (全 11 頁)

(21) 出願番号 特願平8-150741

(22) 出願日 平成8年(1996)6月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 飯沼 博規

神奈川県横浜市瀬山下1番地株式会社日立

製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 小川 勝男

RECEIVED  
OCT - 2 2000  
TECH CENTER 2700

(54) 【発明の名称】 動的再構成処理における障害回復処理方式

(57) 【要約】

【課題】システム稼働中における入出力構成情報の変更処理実行中の障害発生時、入出力構成情報を変更前の状態に回復させる、又は障害発生時点から再度、変更処理を続行可能とし、情報処理システムの信頼性を向上させる。

【解決手段】ハードウェアが入出力構成情報の変更内容を表示情報を記憶するための予備記憶領域を主記憶上に備え、入出力構成情報の変更処理過程で障害が発生した場合、前記予備記憶領域に格納されている変更前の情報に基づき入出力構成情報を回復させ、変更処理を続行させる手段を備える。

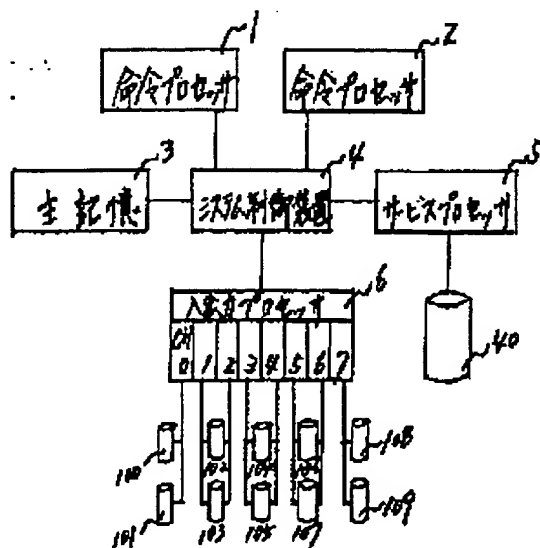


図 1

BEST AVAILABLE COPY

#### 【特許請求の範囲】

【請求項1】一つ以上の命令プロセッサ（IP）と、主記憶装置（MS）と、一つ以上の入出力プロセッサ（IOP）と、これらのプロセッサと主記憶装置とを結合するシステム制御装置（SC）と、該入出力プロセッサに含まれる複数の入出力チャネル（CH）と、該入出力制御装置（IOC）に接続される一つ以上の入出力装置（IOD）と、入出力チャネル、入出力制御装置、入出力装置を構成定義する入出力構成定義情報を保持するサービスプロセッサ（SVP）から成る処理装置で、該処理装置上の制御プログラムの制御下で、仮想計算機システムが処理装置上で動作し、システム稼働中に入出力構成情報の変更を行う機能を持つ仮想計算機システムにおいて、前記入出力構成情報の制御情報を格納する予備記憶領域を前記主記憶装置上に具備し、前記入出力構成情報の動的再構成処理過程において、前記入出力構成情報を前記予備記憶領域に格納する手段と、入出力構成情報の変更処理実行中に前記制御プログラムが前記入出力プロセッサから障害発生報告を受付けた時に、前記制御プログラムが前記入出力プロセッサに対して、回復処理の動作指令を発行する手段と、前記制御プログラムより前記入出力プロセッサに回復処理動作指令が発行された時に、前記予備記憶領域に格納されている変更内容を表す情報に基づき入出力構成情報を変更前の状態に回復させる手段と、前記入出力プロセッサによる入出力構成情報の回復処理後に、前記制御プログラムにより障害発生時からの入出力構成変更処理を続行させる手段とを備えたことを特徴とする障害回復処理方式。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、計算機システムを停止することなく入出力装置の構成情報の変更を可能とする動的再構成処理方式に関し、システム稼働中における入出力構成情報の変更処理実行中のハードウェア障害発生時に、仮想計算機システムを停止することなく、入出力構成情報を変更前の状態に回復させ、入出力構成情報の変更処理を続行させるのに好適な仮想計算機システムに関する。

##### 【0002】

【従来の技術】近年、ネットワークの機能拡大および高速化、ワークステーション/パーソナルコンピュータの大幅な性能向上、エンドユーザ部門の処理増大、および分散処理技術の高度化、といった情報システムの新たな潮流の中で情報処理システムは企業の中核システムとして重要な役割を担う。一方、取り扱う業務量の拡大に伴い入出力装置の構成変更の機会も増加している。そのため、24時間運転、連続運転、あるいは稼働時保守といった要求が高まり、情報処理システムの稼働効率を向上させることが重要な問題になってきている。

【0003】このような要求への対応策として、従来の

情報処理システム、特に入出力経路の選択や入出力要求の待ち行列制御をハードウェアが行う情報処理システムでは、システム稼働中の入出力変更をオペレーティングシステム（以下、OSと略す。）が主記憶上にロードされている入出力構成情報を変更するためのオペレータコマンドをハードウェアに発行し、ハードウェアがその入出力構成情報の変更を行うことにより実現している。しかし、入出力構成情報の変更処理実行中にハードウェア障害が発生した場合には、情報処理システムを一時停止して、入出力構成情報の初期設定処理を行うことにより入出力構成情報の回復を行っていた。

【0004】なお、この種の技術に関連のある公知文献としては、例えば特開平1-255912号公報が挙げられる。

##### 【0005】

【発明が解決しようとする課題】上記の従来方式では、ハードウェアが入出力構成情報の変更処理実行中に障害を検出した場合の回復手段としては、情報処理システムを一時停止し、再度入出力構成情報の初期設定処理を行い、主記憶装置上のハードウェア制御領域に入出力構成情報を読み出すしかなかった。このため、初期設定時の構成情報を制御プログラムの制御下で動作するプログラム（以下、ゲストOS）にシミュレートすることによって、制御プログラム上で複数のゲストOSが動作する仮想計算機においては、前記障害発生時に、制御プログラム上の全てのゲストOSを同時に停止させることになるという問題点がある。

【0006】一方、近年の企業における情報処理システムの役割は益々重要になり、情報処理システムが停止することによる社会に与える影響は大きく、システム稼働中の入出力構成情報の変更作業における信頼性を向上させることが重要である。

【0007】そこで、本発明はこのような従来の欠点を解決するものであり、その目的とするところは、一つあるいは複数の情報処理装置上で仮想計算機が動作する計算機システムにおいて、ハードウェアが入出力構成情報の変更処理実行中に障害を検出した場合でも、仮想計算機を停止することなく、制御プログラムの下でハードウェアがそれまで行った入出力構成情報の障害回復処理を行い、制御プログラムは変更処理の続行を可能とすることができる。

##### 【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の仮想計算機システムでは、ハードウェアが入出力構成情報の変更内容を表す情報を記憶する予備記憶領域を主記憶装置内に具備し、変更前の前記入出力構成情報を前記予備記憶領域に格納する手段と、入出力構成情報の変更処理実行中に障害が発生した場合に、制御プログラムの要求に対して、前記主記憶装置上の入出力構成情報をハードウェアに変更させる命令を新規に設定

し、ハードウェアが制御プログラムから前記命令を受け付けた時に、前記予備記憶領域に格納されている変更内容を表す情報に基づき入出力構成情報を変更前の状態に回復させる手段と、制御プログラムがハードウェアからの前記命令の処理報告内容に基づき、入出力構成情報の変更処理を続行させるかを判断する手段とを備えたことを特徴とするものである。本発明においては、オペレータからの仮想計算機システム動作中に、各ゲストOSに割り当てている入出力構成情報の変更が生じた場合、ハードウェアは制御プログラムからの要求を受け付け、入出力構成情報の変更を行う過程で変更内容を示す情報をシステム内の予備記憶領域に格納する。そして、入出力構成情報の変更処理実行中に障害が発生した場合に、制御プログラムは本発明で新設した新規命令を発行する。本命令を受け付けると、前記予備記憶領域に格納されている変更内容を表す情報に基づき、主記憶装置上の入出力構成情報を変更前の状態に回復させる。そして、制御プログラムはハードウェアからの前記命令の終了報告に基づき、障害発生時からの入出力構成情報の変更処理を続行させるかを判断する。

【0009】

【発明の実施の形態】以下、本発明の実施例を、図面により詳細に説明する。

【0010】図1は本実施例で述べる仮想計算機システムの構成を示す。

【0011】本発明の計算機システムは、入出力命令等の命令を発行する命令プロセッサ1～2（以下、IPと略す）、プログラム、入出力構成情報等のハードウェア制御領域、および仮想計算機の制御プログラム（以下、ハイパーバイザと略す）を格納する主記憶装置3（以下、MSと略す）、オペレータと制御プログラムの仲介をするサービスプロセッサ5（以下、SVPと略す）、入出力命令を実行する入出力プロセッサ6（以下、IOPと略す）、これらのプロセッサとMSとを結合するためのシステム制御装置4（以下、SCと略す）、IOP内の各チャンネル（以下、CHと略す）に接続された入出力装置100～109（以下、IODと略す）および前記SVP5に接続されるファイル装置40から構成される。

【0012】本実施例の仮想計算機システムでは、CHを介してIODまでの入出力経路の選択をIOPを主としたハードウェアが実行している。このため、計算機システムは、システム稼働に先立ってSVP5のファイル装置40に格納されている、CHとIODの物理的な接続関係等の入出力構成を定義した入出力構成情報を、システムの電源投入時や初期設定時（マイクロプログラムのロード等）にMS3上の特定領域であるハードウェア制御領域に格納する。そして、入出力構成情報は、IOPやIPにより読み出されて使用される。

【0013】図2は、図1の仮想計算機システム構成に

おいて、プログラムに主眼を置いた論理的な仮想計算機システムの構成を示す。IOD100～109は、ハイパーバイザ9の制御下で、仮想計算機A（以下、LPA-R-Aと略す）および仮想計算機B（以下、LPA-R-Bと略す）とから構成され、ゲストOS1～7とゲストOS2～8に接続される。ゲストOS1～7およびゲストOS2～8は、ハイパーバイザ9を介してIOD100～109のそれぞれと接続している。

【0014】図3および図4は、ゲストOS1及びゲストOS2から見た仮想計算機システムの構成を示す。ゲストOS1～7は、ハイパーバイザ9がゲストOS1～7に割り当てたIODと接続している。これは、ハイパーバイザ9がハイパーバイザ9の運用を開始する前にMS3に設定されたハードウェア資源をゲストOS1～7およびゲストOS2～8に割り当てた状態を示す。従来ハードウェア資源の割り当ては、ゲストOSが運用を開始するときにサービスプロセッサ5を介してオペレータからの要求によりハイパーバイザ9が行う。

【0015】図5は、図1の主記憶装置に展開された入出力構成情報のテーブルを示す。入出力構成情報は大きく3つのテーブルに分けられており、それぞれチャンネル制御情報（以下、PCWと略す）、論理入出力制御装置情報（以下、LCUWと略す）、入出力装置制御情報（以下、UCWと略す）等から構成される。

【0016】PCWは、個々のCHに対応して設定されており、各CHを識別する番号（CHNO）、当該CHに接続されるIOD数（UACNT）、当該CHの動作タイプを識別する情報（CHTYP）およびそのCH情報が有効か無効かを示す有効性フラグ（V）等のエントリ情報を持っている。V=1の時は、そのエントリ情報は有効であることを示し、V=0の時には、無効であることを示す。

【0017】LCUWは、CHからIODへの入出力経路情報を保持し、ある物理的なIODを制御する1台ないし複数台の入出力制御装置を1つの集合体で定義したものである。LCUWには、当該エントリ情報が有効か無効かを示す有効性フラグ（V）、LCUWをMSに格納する際にハードウェアにより割り当てられたシステム内でユニークな番号（LCUNO）、当該LCUに接続されるIOD数（UCW数）、LCUを接続するチャンネル番号（CHNO）、各チャンネルの番号が有効かどうかをビット対応に示すチャンネル登録マスク（PIM）、および当該LCUを形成するゲストOSの番号（ゲストOSNO）等が格納されている。V=1の時は、そのエントリ情報は有効であることを示し、V=0の時には、無効であることを示す。

【0018】UCWは、個々のIOD毎に設定される特定の情報を定義したものである。当該エントリ情報が有効か無効かを示す有効性フラグ（V）、システム内でオペレータがIODを特定する装置番号（DEVNO）、

ハードウェアがI/O情報をMS3に格納する際に割り当てるシステム内でユニークな入出力装置番号(UCW NO)、当該I/Oが接続されるLCUの番号(LCU NO)、当該I/Oを制御するLCUを接続するチャンネルのうち、当該I/Oをアクセスできるチャンネルをビット対応に指定するチャンネル登録マスク(PIM)、PIMで指定されたチャンネルが使用可能かをビット対応に指定するチャンネル使用可能マスク(PAM)、実際にチャンネルを使用してI/Oをアクセスした際に、そのチャンネルを介して入出力装置をアクセス出来たか否かを示す動作可能マスク(POM)等がそれぞれ格納される。

【0019】図6は、図5で説明した入出力構成情報の変更処理を行う際に退避する、MS3上に格納される予備記憶領域の制御テーブルを示す。当該予備記憶領域は図5と同じく、3つの領域の情報から構成され、チャンネル制御情報退避情報(以下、APCWと略す)、論理入出力制御装置退避情報(以下、ALCUWと略す)、および入出力装置退避情報(以下、AUCWと略す)から成る。APCW、ALCUW、AUCWの各情報は、I/Oの入出力構成情報の変更処理開始時、実際に変更を行う図5に示すエントリ情報が退避されたものである。

【0020】続いて、図7および図8により、I/O障害発生報告時のハイパーバイザによるI/Oへの障害発生動作指示の処理概要を説明する。図8は、本発明の一実施例を示す、ハイパーバイザにおける入出力構成変更処理のフローチャートであり、図7はハイパーバイザからの障害回復処理動作を示す命令形式である。

【0021】図8に示すように、ハイパーバイザはOSから入出力構成情報の変更要求があったかどうかを常時監視しており(ステップ8-1)、ハイパーバイザからの入出力構成変更要求を認識すると、ハイパーバイザが保持する矛盾検出カウンタをクリアする(ステップ8-2)。矛盾検出カウンタは、障害回復処理を特定回数指示した場合に、OSに対して異常終了報告を行う時に判定するためのものである。そして、OSからの入出力構成変更要求をシミュレートして、ハードウェアに対して、入出力構成変更の要求を指示する(ステップ8-3)。その後、ハイパーバイザがI/Oからの終了報告の待ち状態に入る(ステップ8-4)。I/Oから入出力構成変更の正常終了報告を認識した場合は、OSに対して入出力構成変更処理の正常終了を報告する(ステップ8-11)。I/Oから障害報告を検出するか(ステップ8-5)、あるいは異常終了報告を認識(ステップ8-6)した場合は、矛盾検出カウンタがシステムであらかじめ設定した特定回数に一致したかどうかを判定し(ステップ8-7)、特定回数に一致していれば、OSに対して当該入出力構成変更が不可能であることを報告する(ステップ8-12)。また、矛盾検出カウンタが特定回数に一致していない場合は、矛盾検出カウンタをカウントアップして(ステップ8-8)、I/Oに対し

て障害回復動作指示命令を発行し(ステップ8-9)、再びI/Oからの終了報告待ち状態に入る。図7に示すように、ハイパーバイザが発行する入出力構成情報の障害回復指示の命令語(ECS命令)の形式は、命令コードがx(B25F)のRRE形式で特権モード命令、つまりOSしか使用できない命令である。また、オペランドは汎用レジスタを使用し、第1オペランドの汎用レジスタ番号はビット24~27で示す。第1オペランド(R1)の内容は、ハイパーバイザ9とIOP6との通信を行うための命令制御テーブル(以下、SCTと略す)と呼ばれるMS3上のアドレスを示す。SCTの形式は、ハイパーバイザ9からIOP6への動作指示の内容を示す動作要求テーブル(以下、SCTREQと略す)とIOP6からハイパーバイザ9への動作応答テーブル(以下、SCTRSPと略す)の2つから構成される。SCTREQの形式は、当該SCTREQの大きさ(LNG1)、要求する動作を示す動作コード(COMMAND)等から構成される。例えば、本実施例では、LNG1はx(0010)に固定であり、COMMANDは本実施例では、IOPの障害回復処理動作を指示する時はx(FF3D)を格納するものとする。SCTRSPの形式は、当該SCTRSPの大きさ(LNG2)、動作完了時の完了動作状態を示す理由コード(RC)、および動作完了時の付加情報を示す(AINFO)等から構成される。例えば、本実施例では、LNG2はx(0008)に固定であり、RCはx(0001)が正常終了を示し、x(0001)以外は以上終了を示す。

【0022】そして、IOP6からの障害回復処理報告が正常終了報告の場合(ステップ8-10)には、再びハードウェアに対して、入出力構成情報の変更処理を起動する(ステップ8-3)。この時には、ハイパーバイザが保持する矛盾検出カウンタはクリアされない。従って、障害回復処理および入出力構成情報変更の起動の繰返し回数は、矛盾検出カウンタにカウントされ、当該処理の繰返し回数が、先にシステムにおいて設定した特定回数と一致した場合には、OSに対して、入出力構成情報の変更が不可能であることを報告する(ステップ8-12)。

【0023】続いて、図9により、本発明の一実施例を示す、ハイパーバイザからI/Oへの障害回復動作指示に対するI/Oにおける入出力構成変更処理を説明する。また、図10は、I/O104、105に関する入出力構成情報のみを図3から抜き出した図であって、図1の構成に対応している。以下、I/O104、105を削除する場合の入出力構成情報変更処理列に基づき本発明の実施例を説明する。

【0024】図9に示す通りに、IOP6はハイパーバイザ9から入出力構成情報の変更要求があったかを常時監視しており(ステップ9-1)、I/P1または2が入

出力構成情報の変更処理を起動すると、IOP6はハイパーバイザ9から入出力構成情報の変更要求を識別する。実際には、IOP1および2とIOP6との通信手段であるサブチャネルを介して、IOP1または2からIOP6へ起動され、IOP6は前記サブチャネル情報を基に一般の入出力命令か入出力構成変更命令かを識別するが、本実施例では当該処理については触れない。続いて、IOP6は入出力構成情報の変更要求なのか、入出力構成情報の障害回復処理要求かを判定し（ステップ9-2）、入出力構成情報の変更要求の場合には、実際の変更処理に先立ち、変更処理を行うべき構成情報であるPCW情報（ここでは、PCW0）、LCUW（ここでは、LCUW0）、UCW（ここではUCW0およびUCW1）があったことを認識し、入出力構成情報の変更処理を開始する。ここで、変更処理前に前記構成情報に対する変更が可能であるかをチェックし（ステップ9-3）、入出力構成情報の変更が不可能である場合には、ハイパーバイザに対して異常終了報告を行う（ステップ9-15）。実際の変更処理において、関連入出力構成情報は同時に変更することは不可能であり、各情報の変更を順次行う。まず、IOP6は、UCW0およびUCW1を削除しなければならないことを認識して、UCWの更新処理を行う（ステップ9-4）。そして、図10のUCW情報に基づいて予備記憶領域への退避を行う（ステップ9-5）。まず、AUCW制御領域の先頭エントリのVを'1'、カウンタを'1'に設定する。続いて、AUCW0のエントリ情報として、Vを'1'、ゲストOSNOを'1'、DEVNOを'104'、UCWNOを'0'、LCUNOを'0'、PIMを'11000000'、PAMを'11000000'、POMを'11111111'に設定する。続いて、カウンタの値に'1'を加えてカウンタを'2'に設定し、AUCW1のエントリ情報として、Vを'1'、ゲストOSNOを'1'、DEVNOを'105'、UCWNOを'1'、LCUNOを'0'、PIMを'11000000'、PAMを'11000000'、POMを'11111111'に設定する。そして、実際のUCW情報であるUCW0およびUCW1を削除する。続いて、LCUWおよびPCW情報を前記予備記憶領域への退避処理と同様に図10の情報を基に行い、実際の変更処理を行う（ステップ9-7および9-10）。これらの入出力構成変更処理過程において、IOPは障害が発生したかどうかを監視しており（ステップ9-6、9-9および9-12）、障害が発生した場合には、ハイパーバイザに対して障害発生を報告を行う（ステップ9-14）。障害が発生せず、前記入出力情報の変更処理が正常に終了した場合には、ハイパーバイザに対して正常終了報告を行う（ステップ9-13）。続いて、IOPがハイパーバイザからの障害回復動作の指令を認識した場合には、先の入出力構成情報の変更処理にて、M

S上の予備記憶領域に退避した構成情報に基づき、変更処理を行ったUCW情報、LCUW情報、PCW情報を図10に示す情報に回復処理を行う（ステップ9-16）。まず、IOPは、予備記憶領域に格納した情報にAUCW、ALCUW、およびAPCW情報を順次読みだし、それぞれの先頭エントリのVが'1'かどうかを判定する。'0'の場合には、当該情報に関する回復処理は必要でないことを認識して、別の予備記憶領域を読み出す。先頭エントリのVが'1'の場合には、カウンタの値を読みだし、当該予備記憶領域の有効エントリ数を認識して、カウンタに一致するエントリ数を読みだし、変更した入出力構成情報を回復する。そして、全ての予備記憶領域の情報を回復し終わった場合には、ハイパーバイザに対して、正常終了報告を行う（ステップ9-13）。また、回復処理が正常に終了できなかった場合には、ハイパーバイザに対して異常終了報告を行う（ステップ9-15）。

【0025】以上、本発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【0026】

【発明の効果】本発明によれば、ハードウェアが入出力構成情報の変更を行う前に入出力構成情報の変更前の情報をシステム内の予備記憶領域に格納する。そして、入出力構成変更の処理実行中に障害が発生した場合に、前記予備記憶領域に格納されている変更前の情報に基づき入出力構成変更の回復を行う。従って、入出力構成情報を回復させるために、再度システムの初期設定を行い主記憶上に入出力構成情報をロードする必要がなく、システムの運転停止も不要になり、計算機システムの高性能が向上する効果がある。

#### 【図面の簡単な説明】

【図1】本実施例の仮想計算機システムの構成図である。

【図2】図1の構成において、プログラムに主眼を置いた論理的な仮想計算機システムの構成図である。

【図3】ゲストOS1から見た仮想計算機システムの構成図である。

【図4】ゲストOS2から見た仮想計算機システムの構成図である。

【図5】図1の主記憶装置に展開された、入出力構成情報のテーブルを示す図である。

【図6】図1の主記憶装置に格納される予備記憶領域の制御テーブルを示す図である。

【図7】ハイパーバイザからの障害回復動作を示す命令形式を示す図である。

【図8】本発明の一実施例を示す、ハイパーバイザにおける入出力構成変更処理のフローチャートである。

【図9】本発明の一実施例を示す、入出力プロセッサに

おける入出力構成処理のフローチャートである。

【図10】図3の入出力構成情報中の、特定の入出力装置に関する情報テーブルを示す図である。

【図11】本実施例における入出力構成変更処理で、図1の主記憶装置に格納される予備記憶領域の制御テーブルを示す図である。

【符号の説明】

1～2…命令プロセッサ、3…主記憶装置、4…システム制御装置、5…サービスプロセッサ、6…入出力プロセッサ、7…ゲストOS1、8…ゲストOS2、9…ハイパーバイザ、40…ファイル装置、100～109入出力装置。

【図1】

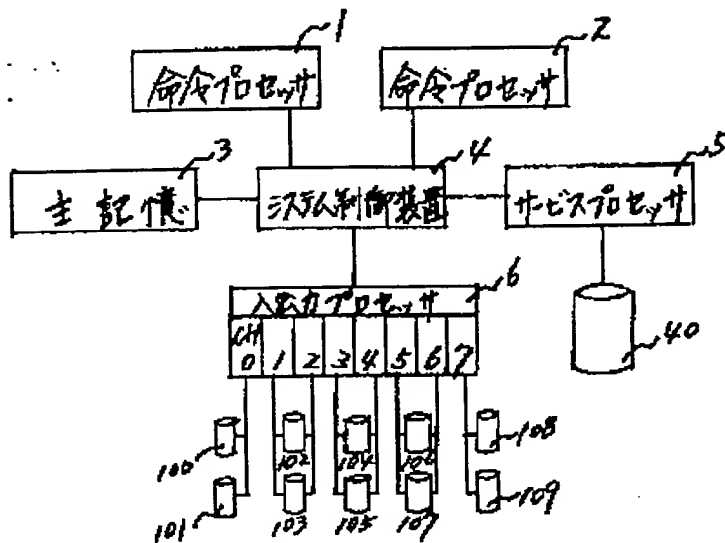


図 1

【図2】

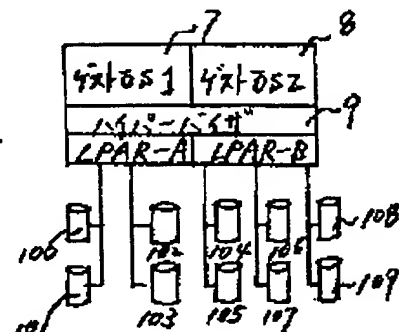


図 2

【図3】

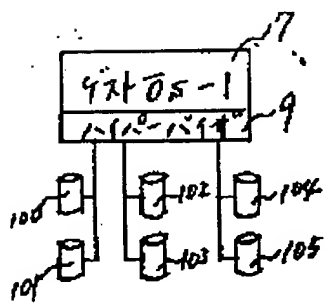


図 3

【図4】

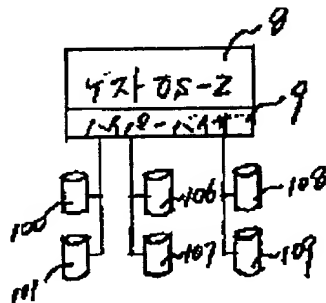
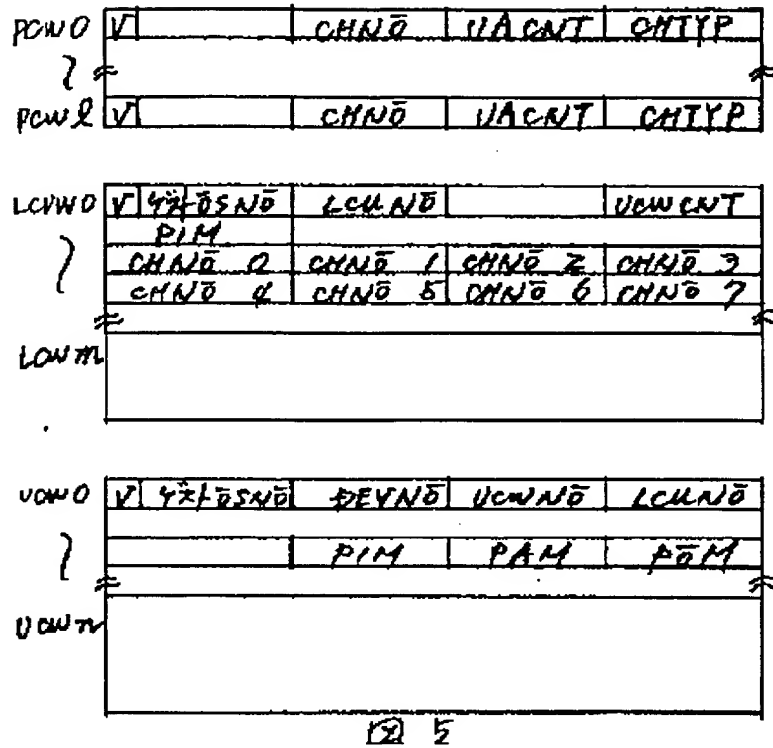
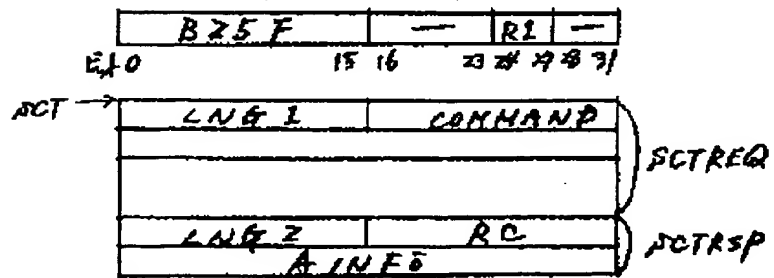


図 4

【図5】



【図7】



【図6】

APDW	V			CNT
	V	CHNO	UACNT	CHTYP
	V	CHNO	UACNT	CHTYP

ALCOW	V			CNT
	V	TXLDSNO	LCUANO	USWCNT
		PIM		
		CHNO 0	CHNO 1	CHNO 2
		CHNO 4	CHNO 5	CHNO 6

AUCW	V			CNT
	V	TXLDSNO	DEVNO	UCWNO
		PIM	PAM	PAM

図 6



【図8】

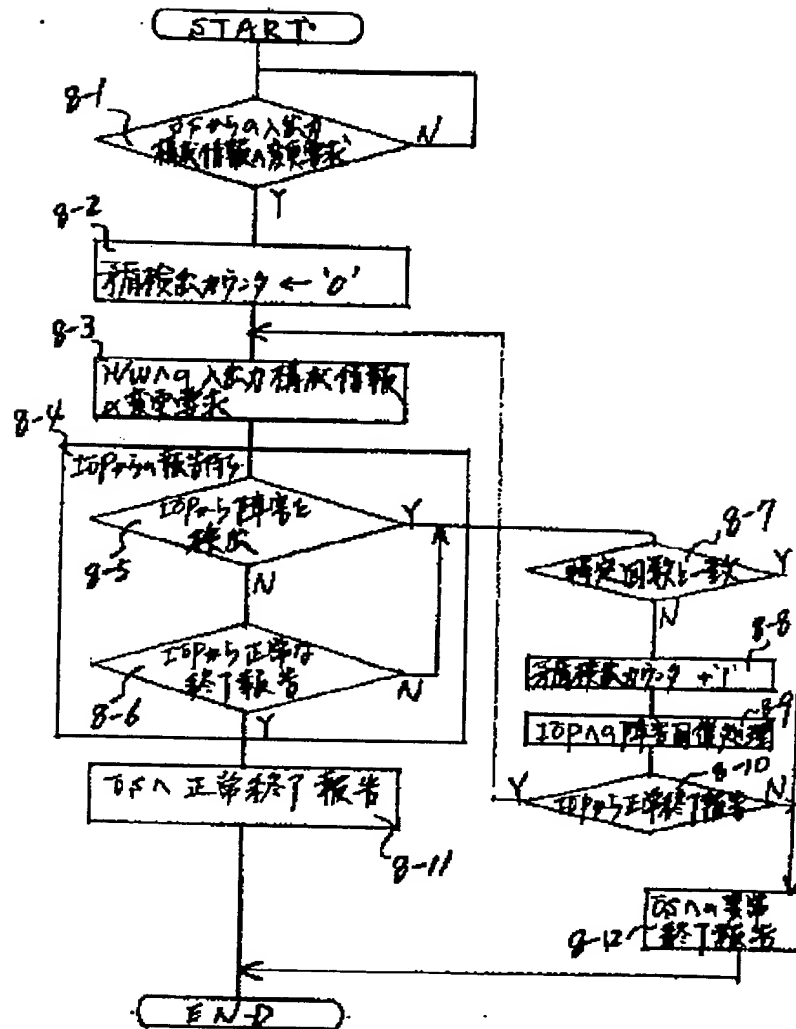


図 8



【図9】

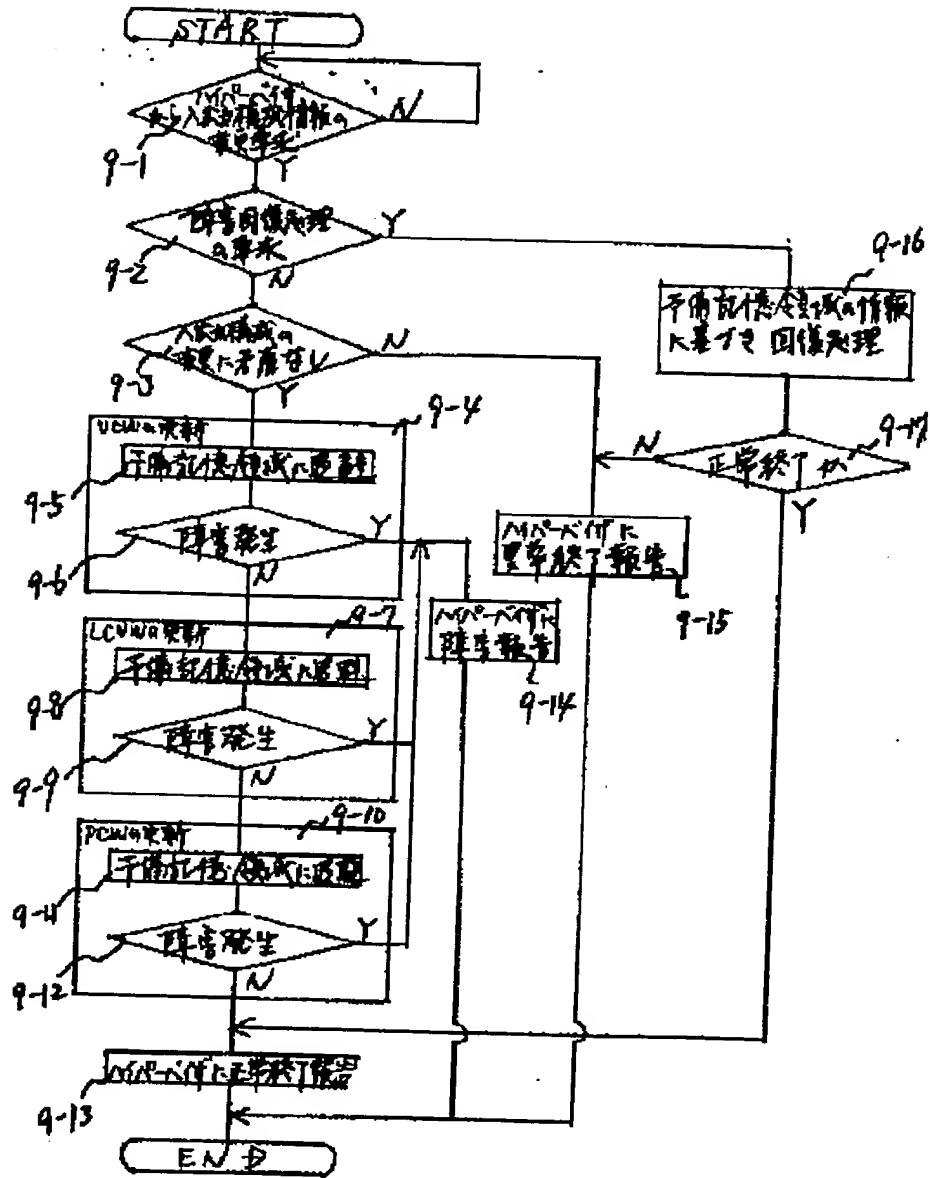


図9

【10】



PCW 0	V-1	CHNB = 3	UACNT = Z	CHTYP = BL
PCW 1	V-2	CHNB = 4	UACNT = Z	CHTYP = BL

LCW 0	V-1	Y2LSNB = 1	LCWNB = 0	UCWNT = Z
		PIM = 11000000		
		CHNB 0 = 3	CHNB 1 = 4	CHNB 2 = X
		CHNB 4 = X	CHNB 5 = X	CHNB 6 = X
				CHNB 7 = X

UCW 0	V-1	Y2LSNB = 1	DEVNB = 105	UCWNB = 0	LCWNB = 0
		PIM = 11000000	PAM = 11000000	PAM = 11111111	

UCW 1	V-1	Y2LSNB = 1	DEVNB = 105	UCWNB = 1	LCWNB = 0
		PIM = 11000000	PAM = 11000000	PAM = 11111111	

12 10

【11】

APCW	V-1		CNT = Z
	V-2	CHNB = 3	UACNT = Z
	V-3	CHNB = 4	UACNT = Z
			CHTYP = BL

ALCW	V-1		CNT = 1
	V-2	Y2LSNB = 1	LCWNB = 0
		PIM = 11000000	UCWNT = Z
		CHNB 0 = 3	CHNB 1 = 4
		CHNB 4 = X	CHNB 5 = X
		CHNB 6 = X	CHNB 7 = X

APCW	V-1		CNT = Z
	V-2	Y2LSNB = 1	DEVNB = 104
			UCWNB = 0
			LCWNB = 0
		PIM = 11000000	PAM = 11000000
		PAM = 11111111	
	V-1	Y2LSNB = 1	DEVNB = 105
		UCWNB = 1	LCWNB = 0
		PIM = 11000000	PAM = 11000000
		PAM = 11111111	

12 11

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**